

# 中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，

其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申 請 日 期：西元 2003 年 04 月 23 日

Application Date

申 請 案 號：092109461

Application No.

申 請 人：南亞科技股份有限公司

Applicant(s)

局 長

Director General

蔡 練 生

發文日期：西元 2003 年 5 月 21 日

Issue Date

發文字號：09220497430

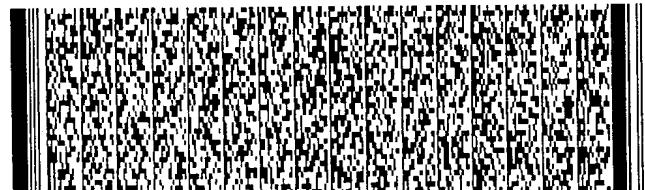
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中文	形成瓶型溝槽之方法及瓶型溝槽電容之製造方法
	英文	METHOD OF FORMING BOTTLE-SHAPED TRENCH AND THE METHOD FOR FABRICATING BOTTLE-SHAPED TRENCH CAPACITORS
二、 發明人 (共2人)	姓名 (中文)	1. 陳逸男 2. 蔡幸川
	姓名 (英文)	1. Yi-Nan Chen 2. Hsin-Chuan Tsai
	國籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中文)	1. 台北市北投區建民路151巷4號 2. 桃園市國鼎一街19號14樓之5
	住居所 (英文)	1. 2.
三、 申請人 (共1人)	名稱或 姓名 (中文)	1. 南亞科技股份有限公司
	名稱或 姓名 (英文)	1. Nanya Technology Corporation.
	國籍 (中英文)	1. 中華民國 ROC
	住居所 (營業所) (中文)	1. 桃園縣龜山鄉華亞科技園區復興三路669號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. Hwa-Ya Technology Park 669, Fuhsing 3 Rd., Kueishan, Taoyuan, Taiwan, R.O.C.
	代表人 (中文)	1. 連日昌
代表人 (英文)	1. Jih-Chang Lien	



四、中文發明摘要 (發明名稱：形成瓶型溝槽之方法及瓶型溝槽電容之製造方法)

本發明揭示一種瓶型溝槽之製造方法。首先，在一基底之溝槽下半部填入一導電層，且其被一具摻雜層所包圍。接著，在基底上及溝槽上半部順應性形成一氮化矽層。之後，對基底實施一熱處理以在鄰近具摻雜層之基底中形成一摻雜區。接著，非等向性蝕刻氮化矽層以在溝槽上半部側壁形成一項圈氮化矽層，並作為罩幕以依序去除導電層及具摻雜層而露出摻雜區表面。接著，部分氧化摻雜區以形成一摻雜氧化區，再去除摻雜氧化區以構成一瓶型溝槽。最後，在瓶型溝槽下半部依序順應性形成一粗糙複晶矽層。本發明亦揭示一種瓶型溝槽電容之製造方法。

伍、(一)、本案代表圖為：第1j圖。

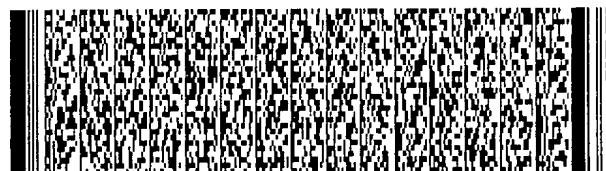
(二)、本案代表圖之元件代表符號簡單說明：

100~基底；

101~墊氧化矽層；

六、英文發明摘要 (發明名稱：METHOD OF FORMING BOTTLE-SHAPED TRENCH AND THE METHOD FOR FABRICATING BOTTLE-SHAPED TRENCH CAPACITORS)

A method of forming a bottle-shaped trench. A conductive layer surrounded by a doped layer is filled in the lower trench of a substrate. A conformable nitride layer is deposited over the substrate and the upper trench. Heat treatment is performed on the substrate to form a doping region in the substrate adjacent to the doped layer. The nitride layer is anisotropically etched to form a

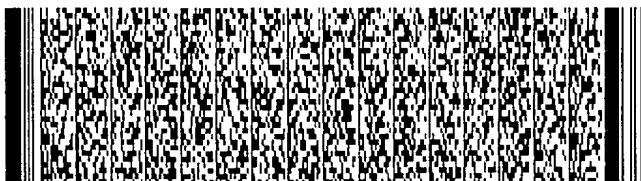


四、中文發明摘要 (發明名稱：形成瓶型溝槽之方法及瓶型溝槽電容之製造方法)

102~氮化矽層；  
103~罩幕層；  
105~凹陷；  
106~氮化矽；  
121、122~導電層；  
111~埋入式下電極；  
113~瓶型溝槽；  
114'~粗糙的複晶矽層；  
116''~介電層；  
118~上電極；  
119~瓶型溝槽電容；  
120'~項圈氧化矽層。

六、英文發明摘要 (發明名稱：METHOD OF FORMING BOTTLE-SHAPED TRENCH AND THE METHOD FOR FABRICATING BOTTLE-SHAPED TRENCH CAPACITORS)

collar nitride over the sidewall of the upper trench. The conductive and doped layers are successively removed using the collar nitride as a mask to expose the doping region. Subsequently, the exposed doping region is partially oxidized to form a doping oxidized region and then the doping oxidized region is removed to create a bottle-shaped trench. Finally, conformable a



四、中文發明摘要 (發明名稱：形成瓶型溝槽之方法及瓶型溝槽電容之製造方法)

六、英文發明摘要 (發明名稱：METHOD OF FORMING BOTTLE-SHAPED TRENCH AND THE METHOD FOR FABRICATING BOTTLE-SHAPED TRENCH CAPACITORS)

rugged polysilicon layer is formed on the lower bottle-shaped trench. A bottle-shaped trench capacitor is also disclosed.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先

無

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

無

寄存日期：

寄存號碼：

熟習該項技術者易於獲得，不須寄存。



## 五、發明說明 (1)

### 【發明所屬之領域】

本發明係有關於一種半導體製程，特別是有關於一種形成半導體記憶裝置之瓶型溝槽 (bottle-shaped trench) 之方法及瓶型溝槽電容之製造方法。

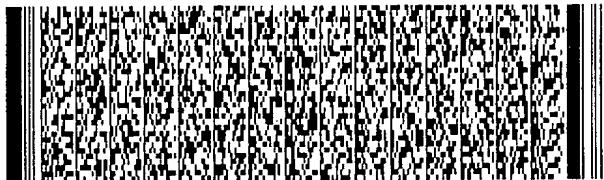
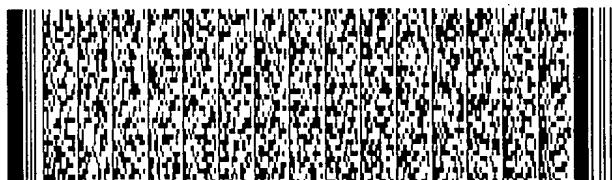
### 【先前技術】

目前廣泛使用之半導體記憶裝置中，例如動態隨機存取記憶體 (dynamic random access memory, DRAM)，電容器係由兩導電層表面 (即電極板) 隔著一絕緣物質而構成。電容器儲存電荷之能力係由絕緣物質之厚度、電極板之表面積及絕緣物質的介電常數所決定。

隨著近年來半導體製程設計皆朝著縮小半導體元件尺寸以提高積體電路積集度之方向發展，記憶體中記憶單元 (memory cell) 的基底面積必須不斷減少使積體電路能容納大量記憶單元而提高積集度，但同時，記憶單元電容之電極板必須有足夠之表面積才能儲存充足的電荷。

然而，在尺寸持續地細微化的情況下，動態隨機存取記憶體中的溝槽儲存結點電容 (trench storage node capacitance) 亦隨著縮小，因此必須設法增加儲存電容以維持記憶體良好的操作性能。目前已廣泛使用於增加動態隨機存取記憶體之儲存電容的方法為增加溝槽底部的寬度，因而形成一可提高表面積之瓶型溝槽電容。

傳統瓶型溝槽製程係在具有氧化層以及氮化層所構成之疊層的半導體基底上，以乾蝕刻形成一溝槽後，接著再



## 五、發明說明 (2)

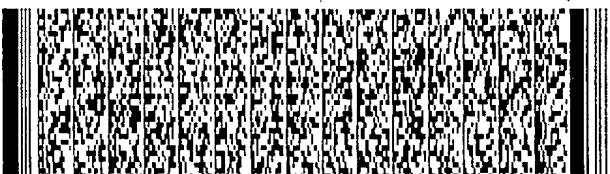
依序順著該疊層以及該溝槽形成氮化層、氧化層、複晶矽層以及氧化層。然而上述製程繁雜，需要多次沈積及蝕刻步驟，不論是在製造成本或時間上均不具經濟效益。因此需要一種製程簡化以提高產能的形成瓶型溝槽電容的方法。另外，為了因應下一世代記憶體高效能的需求，亦需要一種增加儲存電容之電容量之瓶型溝槽電容製造方法。

### 【發明內容】

有鑑於此，本發明之目的在於提供一種新穎的瓶型溝槽形成方法及瓶型溝槽電容之製造方法，以簡化製程步驟並增加瓶型溝槽表面積以增加電容之電容量。

為達上述之目的，本發明藉由部分氧化溝槽下半部，再去除氧化的部分以形成一底部較寬大之瓶型溝槽。之後在埋入式下電極 (buried plate) 與電容介電層之間形成一粗糙的複晶矽層，藉以進一步增加瓶型溝槽之表面積。

根據上述之目的，本發明提供一種瓶型溝槽之製造方法。首先，在一基底中形成一溝槽，再在溝槽下半部側壁及底部順應性形成一具摻雜層並在溝槽下半部填入一導電層。接著，在基底上及溝槽上半部順應性形成一氮化矽層以覆蓋導電層及具摻雜層。之後，對基底實施一熱處理以在鄰近具摻雜層之基底中形成一摻雜區。接著，非等向性蝕刻氮化矽層以在溝槽上半部側壁形成一項圈氮化矽層，並再藉由項圈氮化矽層作為罩幕以依序去除導電層及具摻雜層而露出摻雜區表面。然後，實施一氧化處理以部分氧



### 五、發明說明 (3)

化露出的摻雜區而形成一摻雜氧化區，並藉由項圈氮化矽層作為罩幕以去除摻雜氧化區而構成一瓶型溝槽。最後，在瓶型溝槽下半部順應性形成一粗糙複晶矽層。

再者，在形成粗糙複晶矽層後，更包括實施一氣相摻雜 (gas phase doping, GPD) 處理之步驟。

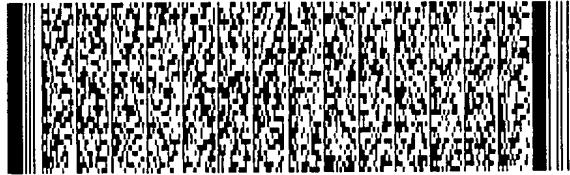
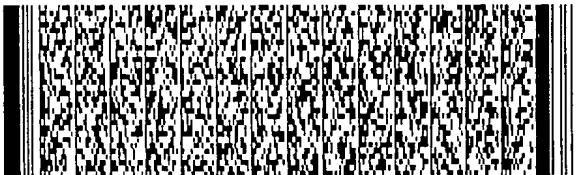
再者，導電層可為一複晶矽層。具摻雜層可為一砷摻雜矽玻璃 (ASG)。

再者，氮化矽層之厚度在300到400埃的範圍。

再者，熱處理溫度在900 °C 到1100 °C 的範圍。

再者，氧化處理可為快速熱氧化處理 (rapid thermal oxidation, RTO)。

又根據上述之目的，本發明提供一種瓶型溝槽電容之製造方法。首先，提供一基底，其上覆蓋一具有一開口之罩幕層。蝕刻開口下方之基底以在其中形成一溝槽，再在溝槽下半部側壁及底部順應性形成一摻雜的氧化矽層並在溝槽下半部填入一複晶矽層。接著，在罩幕層上及溝槽上半部順應性形成一氮化矽層以覆蓋複晶矽層及摻雜的氧化矽層。之後，對基底實施一熱處理以在鄰近該摻雜的氧化矽層之基底中形成一摻雜區以作為一埋入式下電極。非等向性蝕刻氮化矽層以在溝槽上半部側壁形成一項圈氮化矽層，並藉由項圈氮化矽層作為罩幕以依序去除複晶矽層及具摻雜層而露出摻雜區表面。隨後，實施一氧化處理以部分氧化露出的摻雜區而形成一摻雜氧化區，再藉由項圈氮化矽層作為罩幕以部分蝕刻露摻雜氧化區而構成一瓶型溝



## 五、發明說明 (4)

槽。接著，在瓶型溝槽下半部依序順應性形成一粗糙複晶矽層及一電容介電層並填入一第一摻雜的複晶矽層以作為一上電極。接著，去除項圈氮化矽層，並在瓶型溝槽上半部側壁形成一項圈氧化矽層。最後，在瓶型溝槽上半部依序填入一第二及一第三摻雜的複晶矽層以填滿瓶型溝槽。

再者，在形成粗糙複晶矽層後，更包括實施一氣相摻雜(GPD)處理之步驟。

再者，導電層可為一複晶矽層。具摻雜層可為一砷摻雜矽玻璃(ASG)。

再者，氮化矽層之厚度在300到400埃的範圍。

再者，熱處理溫度在900°C到1100°C的範圍。

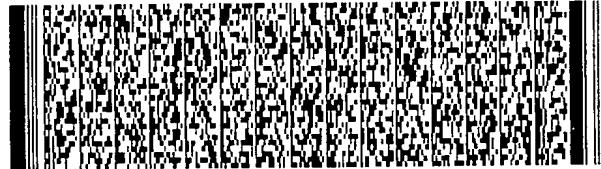
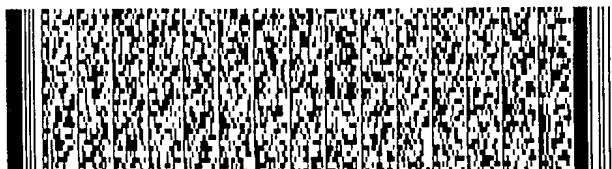
再者，氧化處理可為快速熱氧化處理(RTO)。

為讓本發明之上述目的、特徵和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下：

### 【實施方式】

以下配合第1a到1j圖說明本發明實施例之瓶型溝槽電容之製造方法適用於一記憶裝置，例如DRAM。

首先，請參照第1a圖，提供一基底100，例如一矽基底。在基底100表面上形成一罩幕層103。如圖中所示，罩幕層103可由一層墊氧化矽層101與一層較厚的氮化矽層102所組成。其中，墊氧化矽層101可為熱氧化法沉積而成。氮化矽層102的厚度可利用低壓化學氣相沉積法(low-



五、發明說明 (5)

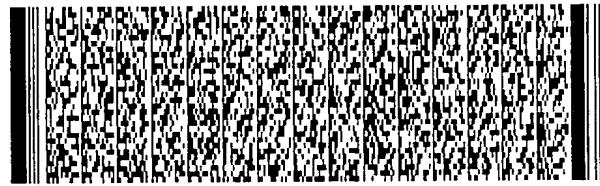
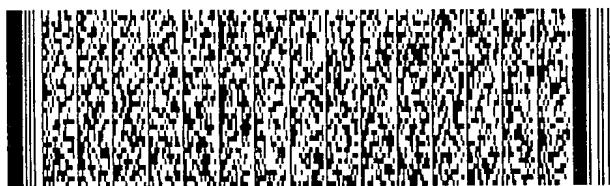
pressure CVD, LPCVD) 而成。

接著，藉由習知微影及蝕刻製程於罩幕層103中形成複數開口。之後，藉由非等向性蝕刻製程，例如反應離子蝕刻 (reactive ion etching, RIE)，蝕刻罩幕層103之開口下方之基底100以形成複數溝槽。此處，為了簡化圖式，僅以一溝槽104表示之。

接下來，請參照第1b圖，利用緩衝氫氟酸 (buffer hydrofluoric acid, BHF) 等向性蝕刻墊氧化矽層101至一既定深度，例如在15到40埃 ( $\text{\AA}$ ) 的範圍，以形成一凹陷處105，再在凹陷處填入氮化矽106，用以保護墊氧化矽層101在後續蝕刻製程中受到蝕刻，避免氮化矽層102之附著性降低而剝離。

之後，藉由習知之沉積技術，例如化學氣相沉積 (CVD)，在罩幕層103上及溝槽104內表面順應性形成一具摻雜層108。在本實施例中，此具摻雜層108可為一摻雜砷之氧化層或稱砷摻雜矽玻璃 (arsenic silicate glass, ASG)，其厚度在200到400埃的範圍。

接下來，請參照第1c圖，藉由習知之沉積技術，例如CVD，在具摻雜層108上形成一導電層 (未繪示)，例如一複晶矽層，並填入溝槽104中。之後，可藉由化學機械研磨 (chemical mechanic polishing, CMP) 去除罩幕層103上多餘的導電層及具摻雜層108，以在溝槽104中留下部分的導電層及在溝槽104側壁及底部留下部分的具摻雜層108'。接著，回蝕刻溝槽104中的導電層至一既定深



## 五、發明說明 (6)

度，例如1微米 ( $\mu\text{m}$ )，以在溝槽104下半部留下部分的導電層110。

接下來，請參照第1d圖，以導電層110作為罩幕層，蝕刻去除導電層110上方的具摻雜層108'，以在溝槽104下半部留下圍繞導電層110的具摻雜層108"。接著，藉由習知沉積技術，例如低壓化學氣相沉積 (LPCVD)，在罩幕層103上及溝槽104上半部內表面順應性形成一氮化矽層112，以覆蓋導電層110及具摻雜層108"。此處，氮化矽層112之厚度在300到400埃的範圍。

接著，對基底100實施一熱處理，以將具摻雜層108"中的摻雜元素，例如砷，高溫驅入鄰近的基底100中而形成一摻雜區111。此摻雜區111係供作一埋入式 (buried) 下電極之用。在本實施例中，熱處理的溫度在900 °C 到 1100 °C 的範圍，而較佳的溫度約在1050 °C。

接下來，請參照第1e圖，藉由非等向性蝕刻，例如反應離子蝕刻 (RIE)，去除罩幕層103上方及溝槽104底部（導電層110上方）之氮化矽層112，以在溝槽104上半部側壁形成一項圈 (collar) 氮化矽層112'並露出導電層110。

接下來，請參照第1f圖，利用項圈絕緣層112'作為罩幕以依序去除導電層110及具摻雜層108"而露出摻雜區111表面。在本實施例中，係先藉由乾蝕刻去除溝槽104中的導電層110，接著再利用氣相氫氟酸 (vapor hydrofluoric acid, VHF) 去除具摻雜層108"。

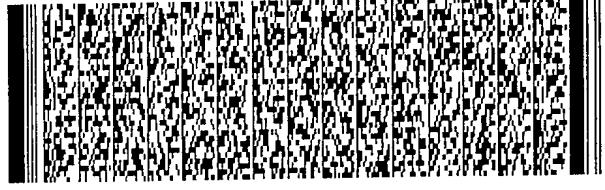
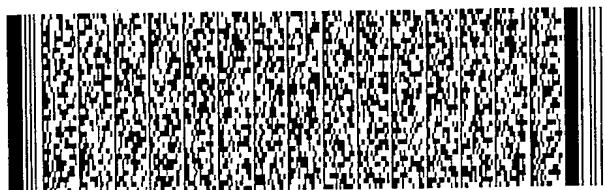
## 五、發明說明 (7)

接著，實施一氧化處理，例如快速熱氧化處理 (RTO) 以部分氧化露出的摻雜區 111 而形成一摻雜氧化區 111'。在本實施例中，快速熱氧化處理之溫度在 900 °C 到 1050 °C 的範圍，且時間在 5 到 15 秒的範圍。

接下來，請參照第 1g 圖，可使用氫氧化銨 ( $\text{NH}_4\text{OH}$ ) 或氫氟酸 (hydrofluoric acid, HF) 作為蝕刻劑，並利用項圈氮化矽層 112' 作為罩幕以去除摻雜氧化區 111' 而構成一底部較寬大的瓶型溝槽 113。

接著，在罩幕層 103 上方及瓶型溝槽 113 內表面順應性形成一粗糙複晶矽 (rugged polysilicon) 層 114，或稱半球型晶粒矽 (hemispherical grained silicon, HSG)，用以增加埋入式下電極 111 的表面積。在本實施例中，粗糙複晶矽層 114 經利用 LPCVD 在 565 °C 到 585 °C 的成長溫度下所形成。之後，可選擇性地對粗糙複晶矽層 114 實施一氣相摻雜 (gas phase doping, GPD)，以降低項圈氮化矽層 112' 與摻雜的複晶矽層 114 之間的濃度差。接著，可同樣藉由 LPCVD 在粗糙複晶矽層 114 上順應性形成一介電層 116，例如摻雜的氮化矽層、氮化矽／氧化矽 ( $\text{NO}$ ) 疊層、或是氧化矽／氮化矽／氧化矽 ( $\text{ONO}$ ) 疊層。

接下來，請參照第 1h 圖，藉由習知沉積技術，例如 CVD，在罩幕層 103 上方形成一導電層 (未繪示)，例如摻雜的複晶矽層，並填入瓶型溝槽 113。之後，回蝕刻導電層，以在瓶型溝槽 113 下半部留下部分的導電層 118 以作為一上電極。接著，可藉由熱磷酸或其他適當的溶液去除導

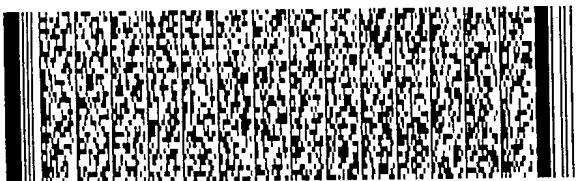


## 五、發明說明 (8)

電層118上方露出的介電層116，以在瓶型溝槽113下半部留下部分的介電層116'，其係供作電容介電層之用。之後，可藉由RIE去除電容介電層116'上方的粗糙複晶矽層114，以在瓶型溝槽113下半部留下部分的粗糙複晶矽層114'，以完成本發明之瓶型溝槽電容119之製作。

接下來，請參照第1i圖，可藉由磷酸或其他適當溶液去除項圈氮化矽層112'。之後，藉由習知沉積技術，例如低壓化學氣相沉積(LPCVD)，在罩幕層103上及溝槽113上半部內表面順應性形成一絕緣層(未繪示)，例如由四乙基矽酸鹽(tetraethyl orthosilicate, TEOS)所形成之氧化物。接著，可藉由RIE去除罩幕層103上方及溝槽113底部(瓶型溝槽電容119上方)之氧化矽層，以在溝槽113上半部側壁形成一項圈氧化矽層120。

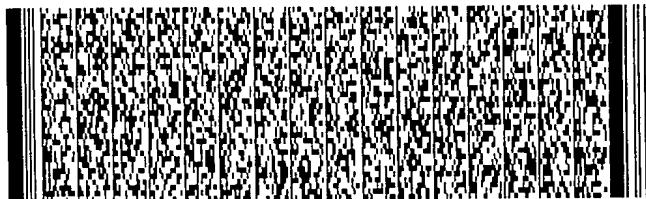
最後，請參照第1j圖，藉由習知沉積技術，例如CVD，在罩幕層103上方形成一導電層(未繪示)，例如摻雜的複晶矽層，並填入瓶型溝槽113上半部(瓶型溝槽電容119上方)。接著，回蝕刻此導電層以留下部分的導電層121以作為第一導線層。之後，以導電層121作為罩幕，去除其上方的項圈氧化矽層120而留下部分的項圈氧化矽層120'。接下來，同樣藉由CVD，在罩幕層103上方形成一導電層(未繪示)，例如摻雜的複晶矽層，並填滿瓶型溝槽113，並藉由一研磨處理，例如CMP，去除罩幕層103上方之導電層以在瓶型溝槽113中留下部分的導電層122，藉以作為第二導線層。



## 五、發明說明 (9)

根據本發明之方法，採用氮化矽層作為製作瓶型溝槽之蝕刻終止層，並藉由部分氧化溝槽下半部，再去除氧化的部分以形成一底部較寬大之瓶型溝槽。因此，可簡化製程步驟進而降低製作成本及增加產能。再者，本發明係在埋入式下電極 (buried plate) 與電容介電層之間形成一粗糙的複晶矽層，因此可進一步增加瓶型溝槽之表面積而增加瓶型溝槽電容之電容量。亦即，提高記憶裝置之效能。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此項技藝者，在不脫離本發明之精神和範圍內，當可作更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1a到1j圖係繪示出根據本發明實施例之瓶型溝槽電容之製造方法之剖面示意圖。

符號說明：

- 100~基底；
- 101~墊氧化矽層；
- 102~氮化矽層；
- 103~罩幕層；
- 104~溝槽；
- 105~凹陷；
- 106~氮化矽；
- 108、108'、108''~具摻雜層；
- 110、121、122~導電層；
- 111~埋入式下電極；
- 111'~摻雜的氧化區；
- 112~氮化矽層；
- 112'~項圈氮化矽層；
- 113~瓶型溝槽；
- 114、114'~粗糙的複晶矽層；
- 116、116''~介電層；
- 118~上電極；
- 119~瓶型溝槽電容；
- 120、120'~項圈氧化矽層。



## 六、申請專利範圍

1. 一種形成瓶型溝槽之方法，包括下列步驟：

在一基底中形成一溝槽；

在該溝槽下半部填入一導電層，且該導電層被一具摻雜層所包圍；

在該基底上及該溝槽上半部順應性形成一氮化矽層以覆蓋該導電層及該具摻雜層；

對該基底實施一熱處理以在鄰近該具摻雜層之該基底中形成一摻雜區；

非等向性蝕刻該絕緣層以在該溝槽上半部側壁形成一項圈氮化矽層；

藉由該項圈氮化矽層作為罩幕以依序去除該導電層及該具摻雜層而露出該摻雜區表面；

實施一氧化處理以部分氧化該露出的摻雜區而形成一摻雜氧化區；

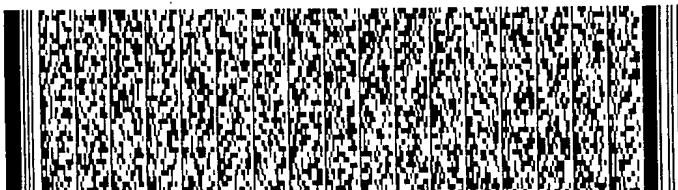
藉由該項圈氮化矽層作為罩幕以去除該摻雜氧化區而構成一瓶型溝槽；以及

在該瓶型溝槽下半部順應性形成一粗糙複晶矽層。

2. 如申請專利範圍第1項所述之形成瓶型溝槽之方法，其中在形成該粗糙複晶矽層後，更包括實施一氣相摻雜(GPD)處理之步驟。

3. 如申請專利範圍第1項所述之形成瓶型溝槽之方法，其中該導電層係一複晶矽層。

4. 如申請專利範圍第1項所述之形成瓶型溝槽之方法，其中該具摻雜層係一砷摻雜矽玻璃(ASG)。



## 六、申請專利範圍

5. 如申請專利範圍第4項所述之形成瓶型溝槽之方法，其中藉由氣相氫氟酸（VHF）去除該具摻雜層。

6. 如申請專利範圍第1項所述之形成瓶型溝槽之方法，其中該氮化矽層之厚度在300到400埃的範圍。

7. 如申請專利範圍第1項所述之形成瓶型溝槽之方法，其中該熱處理溫度在900°C到1100°C的範圍。

8. 如申請專利範圍第1項所述之形成瓶型溝槽之方法，其中該氧化處理係一快速熱氧化處理（RTO）。

9. 一種瓶型溝槽電容之製造方法，包括下列步驟：

提供一基底，其上覆蓋一具有一開口之罩幕層；

蝕刻該開口下方之該基底以在其中形成一溝槽；

在該溝槽下半部填入一複晶矽層，且該複晶矽層被一摻雜的氧化矽層所包圍；

在該罩幕層上及該溝槽上半部順應性形成一氮化矽層以覆蓋該複晶矽層及該摻雜的氧化矽層；

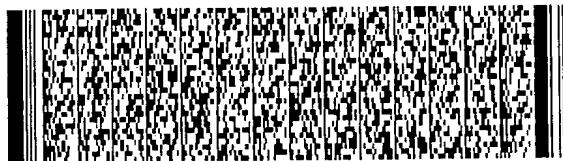
對該基底實施一熱處理以在鄰近該摻雜的氧化矽層之該基底中形成一摻雜區以作為一埋入式下電極；

非等向性蝕刻該氮化矽層以在該溝槽上半部側壁形成一項圈氮化矽層；

藉由該項圈氮化矽層作為罩幕以依序去除該複晶矽層及該具摻雜層而露出該摻雜區表面；

實施一氧化處理以部分氧化該露出的摻雜區而形成一摻雜氧化區；

藉由該項圈氮化矽層作為罩幕以部分蝕刻該露摻雜氧



## 六、申請專利範圍

化區而構成一瓶型溝槽；以及

在該瓶型溝槽下半部依序順應性形成一粗糙複晶矽層及一電容介電層並填入一第一摻雜的複晶矽層以作為一上電極。

10. 如申請專利範圍第9項所述之瓶型溝槽電容之製造方法，更包括下列步驟：

去除該項圈氮化矽層；

在該瓶型溝槽上半部側壁形成一項圈氧化矽層；以及

在該瓶型溝槽上半部依序填入一第二及一第三摻雜的複晶矽層以填滿該瓶型溝槽。

11. 如申請專利範圍第9項所述之瓶型溝槽電容之製造方法，其中該罩幕層係依序由一墊氧化矽層及一氮化矽層所構成。

12. 如申請專利範圍第11項所述之瓶型溝槽電容之製造方法，其中在填入該複晶矽層前，更包括下列步驟：

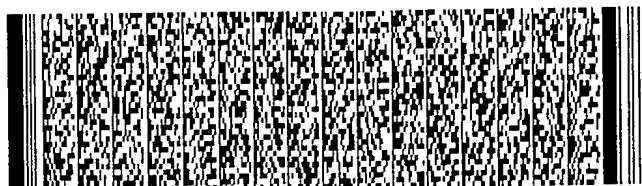
等向性蝕刻該墊氧化矽層至一既定深度以形成一凹陷處；以及

在該凹陷處填入氮化矽。

13. 如申請專利範圍第12項所述之瓶型溝槽電容之製造方法，其中該既定深度在15到40埃的範圍。

14. 如申請專利範圍第9項所述之瓶型溝槽電容之製造方法，其中該摻雜的氧化矽層係一砷摻雜矽玻璃(ASG)。

15. 如申請專利範圍第14項所述之瓶型溝槽電容之製



## 六、申請專利範圍

造方法，其中藉由氣相氫氟酸（VHF）去除該摻雜的氧化矽層。

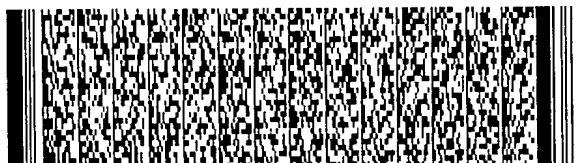
16. 如申請專利範圍第9項所述之瓶型溝槽電容之製造方法，其中該氮化矽層之厚度在300到400埃的範圍。

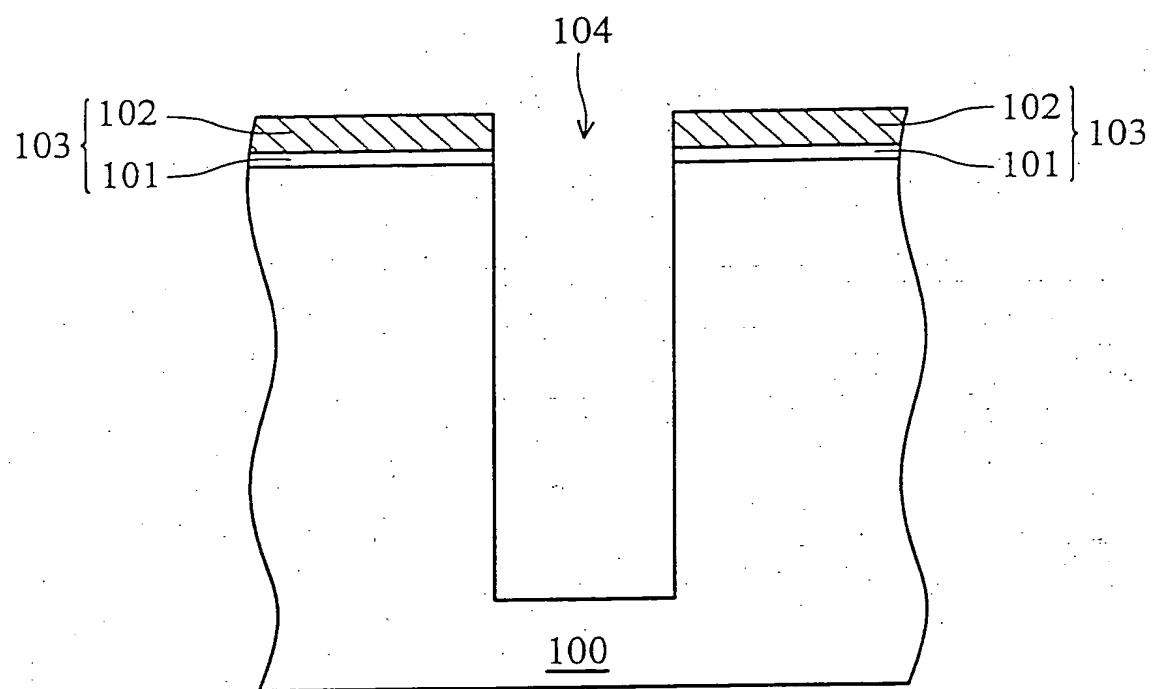
17. 如申請專利範圍第9項所述之瓶型溝槽電容之製造方法，其中該熱處理溫度在900 °C 到1100 °C 的範圍。

18. 如申請專利範圍第9項所述之瓶型溝槽電容之製造方法，其中該氧化處理係一快速熱氧化處理（RTO）。

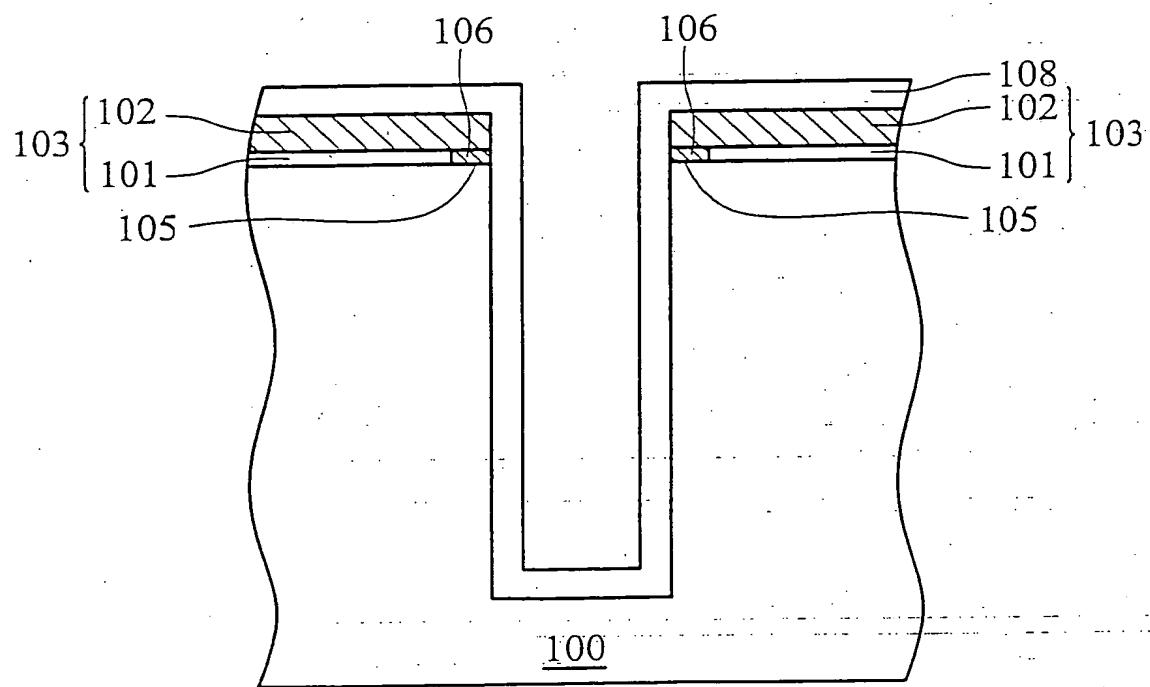
19. 如申請專利範圍第9項所述之瓶型溝槽電容之製造方法，其中該電容介電層包含一氮化矽層。

20. 如申請專利範圍第9項所述之瓶型溝槽電容之製造方法，其中在形成該粗糙複晶矽層後，更包括實施一氣相摻雜（GPD）處理之步驟。

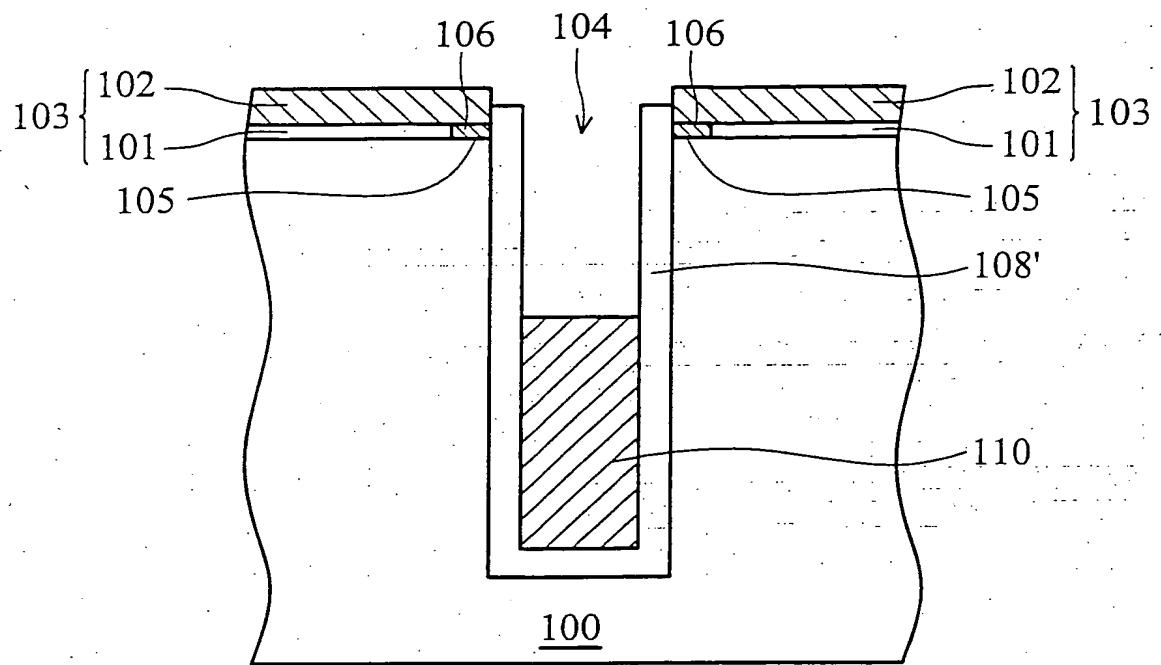




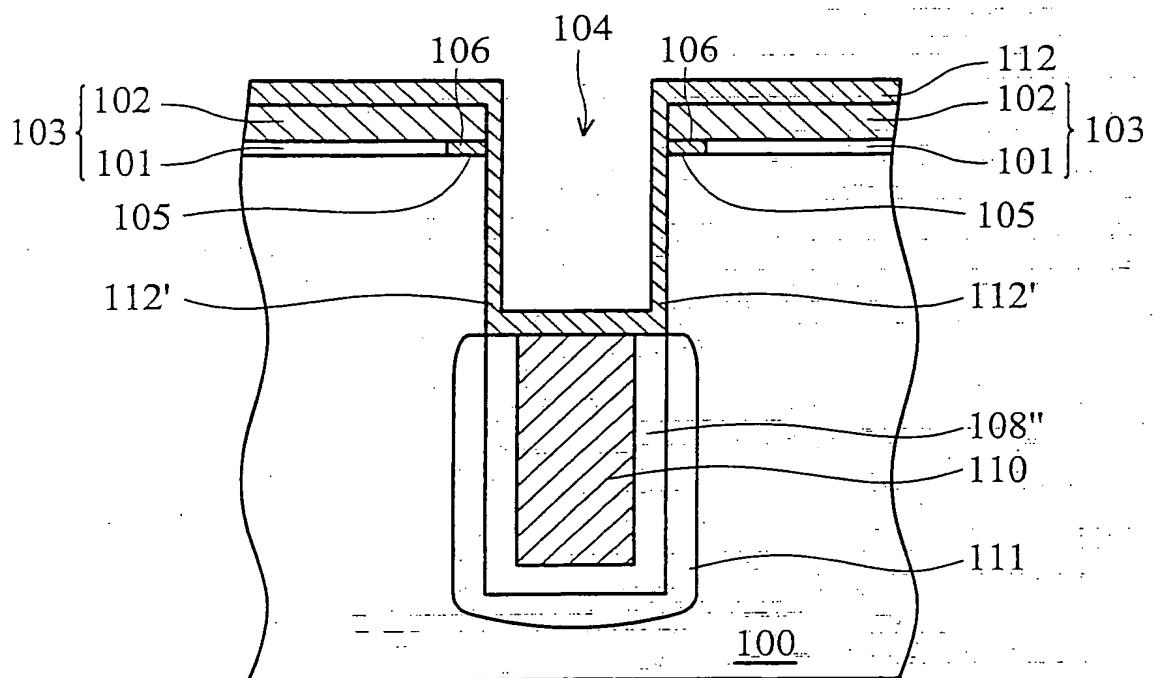
第1a圖



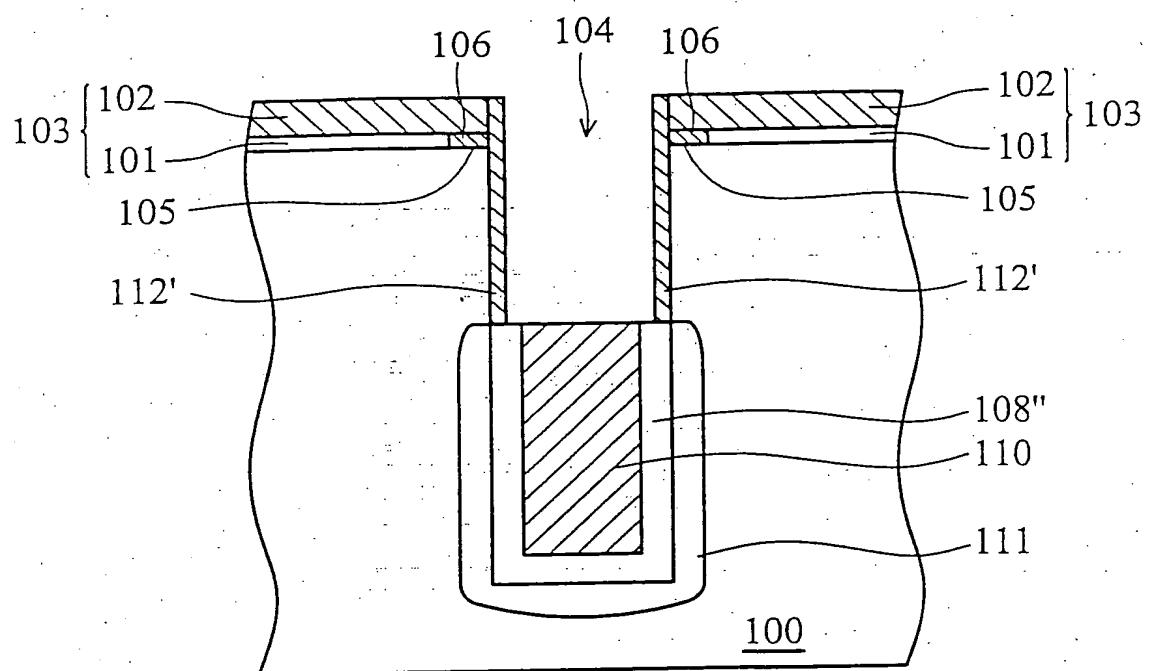
第1b圖



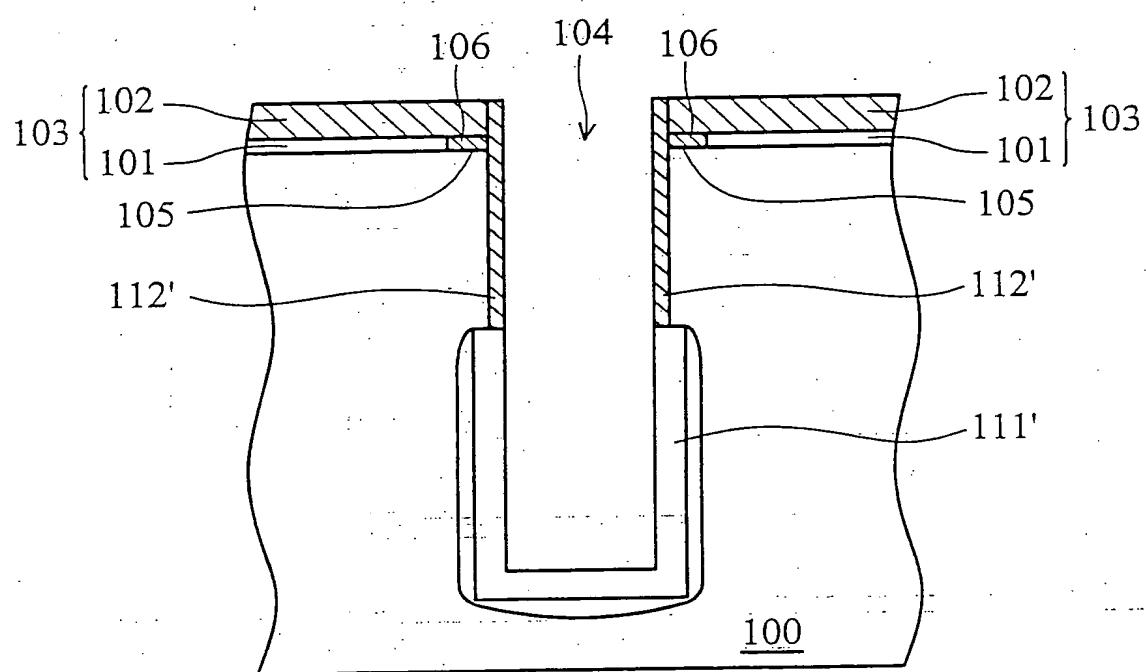
第 1c 圖



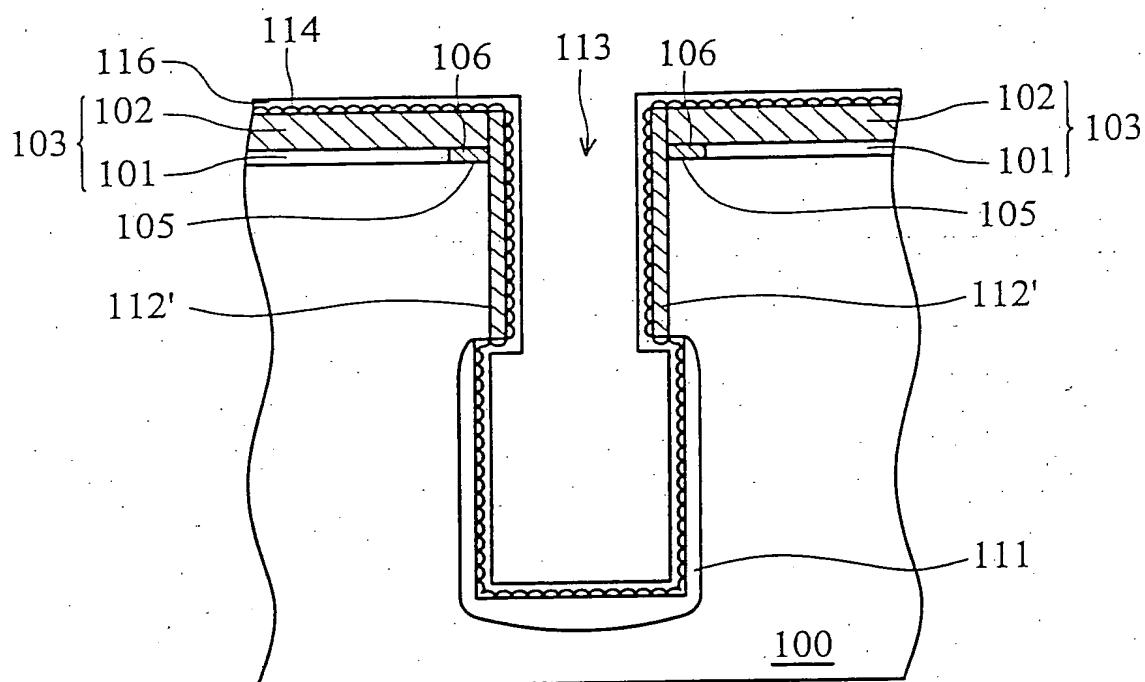
第 1d 圖



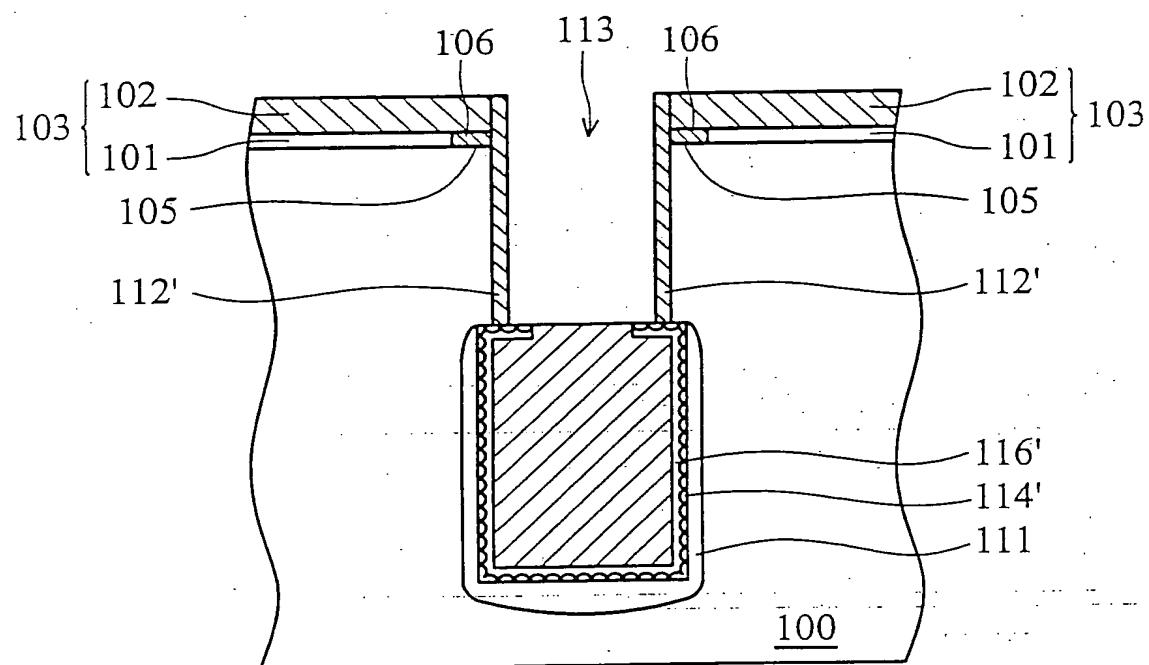
第 1e 圖



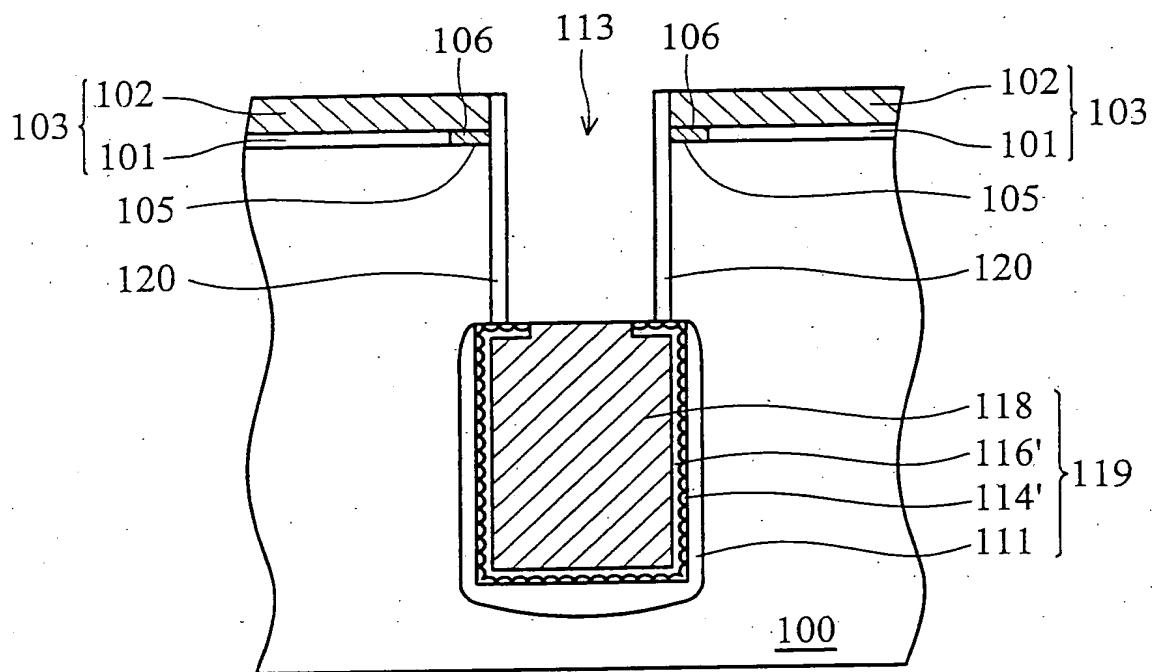
第 1f 圖



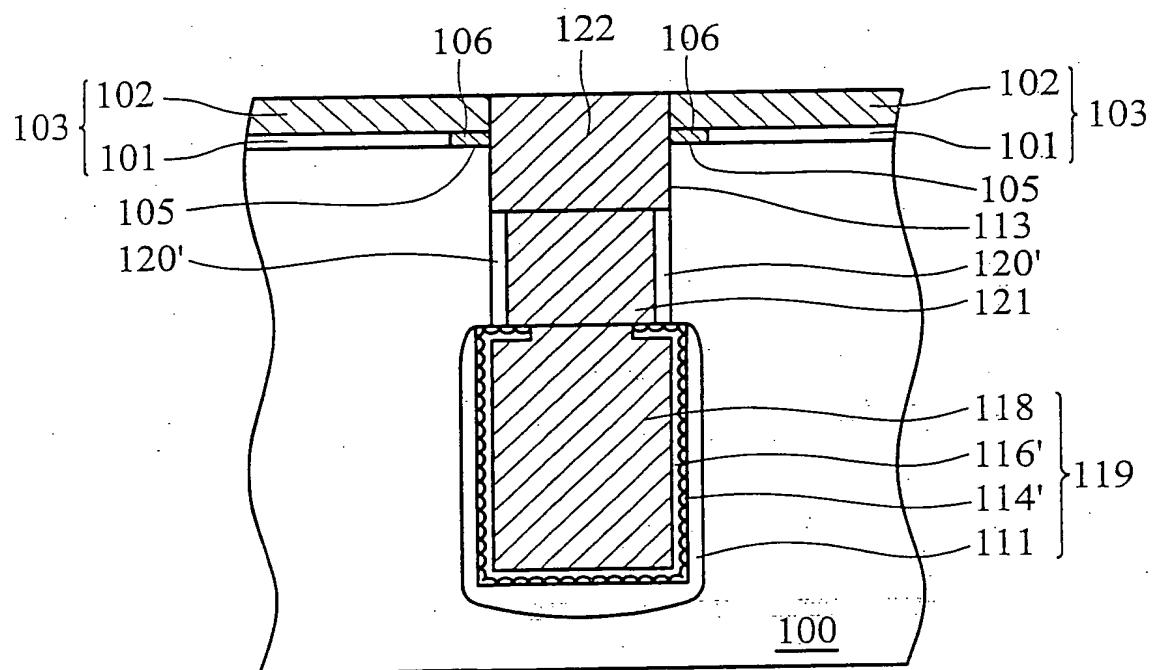
第1g圖



第1h圖



第 1i 圖



第 1j 圖

申請案件名稱:形成瓶型溝槽之方法及瓶型溝槽電容之製造方法

第 1/19 頁

第 2/19 頁

第 2/19 頁

第 3/19 頁

第 4/19 頁

第 5/19 頁

第 6/19 頁

第 6/19 頁

第 7/19 頁

第 7/19 頁

第 8/19 頁

第 8/19 頁

第 9/19 頁

第 9/19 頁

第 10/19 頁

第 10/19 頁

申請案件名稱:形成瓶型溝槽之方法及瓶型溝槽電容之製造方法

第 11/19 頁

第 11/19 頁

第 12/19 頁

第 12/19 頁

第 13/19 頁

第 13/19 頁

第 14/19 頁

第 15/19 頁

第 16/19 頁

第 17/19 頁

第 17/19 頁

第 18/19 頁

第 19/19 頁